

# MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP11145286  
Publication date: 1999-05-28  
Inventor(s): ENOMOTO HIROYUKI; OHASHI TADASHI  
Applicant(s): HITACHI LTD  
Application Number: JP 1997-0308239 – 1997 11 11  
Priority Number(s):

---

## Abstract

---

**PROBLEM TO BE SOLVED:** To increase the etch selectivity ratio of SOG film/silicon nitride film, without causing defective opening of a contact hole when forming the contact hole in the SOG(spin-on-glass) film between gate electrodes by SAC(self-aligned contact) technology using the silicon nitride film as an etching stopper.

**SOLUTION:** As the material of an SOG film 2 for filling spaces between gate electrodes 14A (word line WL) formed on a semiconductor substrate 1, polysilazane based inorganic SAG having 5% or less of FT-IR spectral intensity ratio (Si-N/Si-O) is used. By using such a material, when forming contact holes 28, 29 self-alignedly in the SOG film 24 between the gate electrodes 14A (word line WL) by dry etching with the silicon nitride film 20 as an etching stopper, a nonconformity in which etching stops half way is prevented.

(19)日本国特許庁 (JP)

(12) **公開特許公報 (A)**

(11)特許出願公開番号

**特開平11-145286**

(43)公開日 平成11年(1999)5月28日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/768  
21/316  
21/8234  
27/088  
27/108

識別記号

F I

H 01 L 21/90  
21/316  
21/90  
27/08  
27/10

A  
G  
M  
102D  
621C

審査請求 未請求 請求項の数 8 ○L (全 28 頁) 最終頁に続く

(21)出願番号

特願平9-308239

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(22)出願日 平成9年(1997)11月11日

(72)発明者 横本 裕之

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 大橋 直史

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置の製造方法

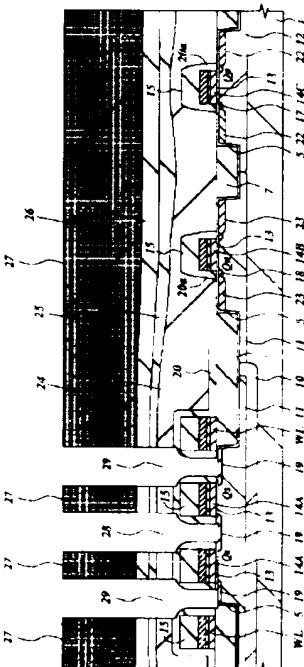
(57)【要約】

【課題】 窒化シリコン膜をエッチングストップに用いたSAC (セルフアラインコンタクト) 技術によってゲート電極のスペースのSOG膜にコンタクトホールを形成する際、コンタクトホールの非開孔を生じることなく、SOG膜・窒化シリコン膜の選択比を向上する。

【解決手段】 半導体基板1上に形成したゲート電極14 A (ワード線WL) のスペースを埋め込むSOG膜21の材料に、ET-IRスペクトル強度比 (Si-N Si-O) が0.85以下のおりシリコン系無機SiO<sub>2</sub>を用い、窒化シリコン膜22の上をエッチングストップに用いたドライエッチングでゲート電極14 A (ワード線WL) のスペースのSOG膜21にセルフアラインでコンタクトホール28-29を形成する際に、エッチングが途中で停止する不具合を防止する。

24 : SOG膜

16  
17



## 【特許請求の範囲】

【請求項1】 以下の工程（a）～（c）を含むことを特徴とする半導体集積回路装置の製造方法：

（a）半導体基板の上面に複数の電極配線を形成した後、前記複数の電極配線の上部に窒化シリコン膜を堆積する工程、（b）前記窒化シリコン膜で覆われた前記複数の電極配線の上部に、S i - N結合に対するS i - N結合の割合が30%以下、赤外線スペクトル強度比換算、の無機S i - N膜をスピンドル方式で前記複数の電極配線間のスベースに前記無機S i - N膜を埋め込む工程、（c）前記窒化シリコン膜をエチシングスリットバに用いて前記無機S i - N膜をドライエッチングすることにより、前記複数の電極配線間のスベースに接続孔を形成する工程。

【請求項2】 以下の工程（a）～（c）を含むことを特徴とする半導体集積回路装置の製造方法：

（a）半導体基板の上面に複数のM I S F E Tのゲート電極を形成した後、前記複数のゲート電極の上部に窒化シリコン膜を堆積する工程、（b）前記窒化シリコン膜で覆われた前記複数のゲート電極の上部に、S i - N結合に対するS i - N結合の割合が30%以下、赤外線スペクトル強度比換算、の無機S i - N膜をスピンドル方式で前記複数のゲート電極間のスベースに前記無機S i - N膜を埋め込む工程、（c）前記窒化シリコン膜をエチシングスリットバに用いて前記無機S i - N膜をドライエッチングすることにより、前記複数のゲート電極間のスベースに接続孔を形成する工程。

【請求項3】 請求項2記載の半導体集積回路装置の製造方法であって、前記複数のM I S F E Tは、DRAMのメモリセルの一部を構成するメモリセル選択用M I S F E Tであることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項3記載の半導体集積回路装置の製造方法であって、前記接続孔は、前記メモリセル選択用M I S F E Tのソース、ドレインの一方とビット線とを電気的に接続する第1の接続孔、および前記メモリセル選択用M I S F E Tのソース、ドレインの他方と前記DRAMのメモリセルの他の一部を構成する情報蓄積用容量素子とを電気的に接続する第2の接続孔のうち、少なくとも一方であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1～4のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記接続孔の底部の径は、ファトリソグラフィの解像限界で決まる最小寸法以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 以下の工程（a）～（c）を含むことを特徴とする半導体集積回路装置の製造方法：

（a）半導体基板の上面に、少なくともその上部に窒化金属膜が積層されたアルミニウム系の導電膜からなる

配線を形成する工程、（b）前記配線の上部に、S i - N結合に対するS i - N結合の割合が30%以下、赤外線スペクトル強度比換算、の無機S i - N膜をスピンドル方式で前記配線の上部に前記無機S i - N膜を含んだ層間絶縁膜を形成する工程、（c）前記無機S i - N膜を含んだ層間絶縁膜をドライエッチングすることにより、前記配線の上部に前記配線とその上層の配線とを電気的に接続する接続孔を形成する工程。

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記S i - N結合に対するS i - N結合の割合が30%以下（赤外線スペクトル強度比換算）の無機S i - N膜を得ることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1～7のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記無機S i - N膜にリンまたはホウ素、あるいはそれらの両方を添加することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関するもの特に、窒化シリコン膜をエチシングスリットバに用いたセルフアライメント（Self Aligned Contact; S A C）技術を利用してM I S F E T（Metal Insulator Semiconductor Field Effect Transistor）のゲート電極間に微細なコンタクトホールを形成するプロセスに適用して有効な技術に関するものである。

## 【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) のメモリセルは、半導体基板の主面にアトリクス状に配列した複数のワード線と複数のビット線との交点に配設され、1個の情報蓄積用容量素子と共に直列に接続された1個のメモリセル選択用M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) で構成されている。メモリセル選択用M I S F E Tは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一对の半導体領域により構成されている。ビット線は、メモリセル選択用M I S F E Tの上部に配設され、その延長方向に隣接する2個のメモリセル選択用M I S F E Tによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用M I S F E Tの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【0003】上記のように、DRAMのメモリセルは、ワード線の上部にビット線と情報蓄積用容量素子とが配置され、さらにこのメモリセルの上部には、通常複数層のA L T（アルミニウム）配線が配置される。そのため

メモリアレイの領域内にはこれらの電極、配線に起因する段差が不可避的に発生する。また、メモリアレイが形成される領域とメモリアレイと周辺回路領域との間に生じる段差は情報蓄積用容量素子の高さ分に相当する段差が発生する。

【0004】しかし、このような段差上に配線を形成すると、ワード線（ノック）時に露光光が焦点外に生じたり、段差部にて、チク残りが生じたりするため、配線を精度良く形成することができず、短絡や断線などの不良が発生する。従って、これらの問題を解決するためには、下層の配線と上層の配線とを絶縁する層間絶縁膜の平坦化技術が不可欠となる。

【0005】層間絶縁膜の平坦化については、リフロー性が高いBPSG (Boron-doped Phospho Silicate Glass) 膜やSOG (スピノングラス(Spin On Glass)) 膜を用いる方法や、化学的機械研磨(Chemical Mechanical Polishing, CMP) 法など、種々の方法が開発されている。

【0006】例えは特開平9-64303号公報は、ワード線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバービットライン(Repeater Over Bitline)構造のDRAMを開示している。この公報に記載されたDRAMは、ワード線（ゲート電極）とその上部のワード線との間の絶縁膜、およびワード線とその上部の情報蓄積用容量素子との間の絶縁膜をそれぞれBPSG膜で構成することによって、絶縁膜の平坦化を図っている。また、このDRAMは、情報蓄積用容量素子とその上部のA1配線との間の絶縁膜を酸化シリコン膜、SOG膜および酸化シリコン膜の3層膜で構成することによって、メモリアレイと周辺回路領域との間に生じる段差の低減を図っている。

【0007】また、特開平9-45766号公報に記載されたDRAMは、B(ホウ素)を高濃度(13モル%程度)に含んだリフロー性の高いBPSG膜を使って、メモリアレイと周辺回路領域との間に生じる段差の低減を図っている。

【0008】

【発明を解決しようとする課題】前記公報に記載された従来技術は、ワード線（ゲート電極）とその上部のワード線との間の絶縁膜をBPSG膜で構成することによって、ワード線・ゲート電極の段差に起因する絶縁膜の段差を平坦化している。

【0009】しかし、256Mbit(バガビット)以降のDRAMでは、メモリセルを構成するメモリセル選択用M+SF上とのゲート長が0.25μm以下となり、かつ隣接するワード線（ゲート電極）同士のスペースもそれと同等もし、はそれ以下となるために、BPSG膜を高温で長時間リフローさせても、このスペースに生じたホールを完全に無くすことが困難になり、ワード線（ゲート電極）の上部の絶縁膜の平坦性を確保すること

ができない、なる。

【0010】従って、256Mbit以降のDRAMでは、ワード線（ゲート電極）の上部の絶縁膜を、SOG膜よりもリフロー性が高、SOG膜で構成することによって、ワード線（ゲート電極）のスペースにホールを生じることなく絶縁膜を埋め込む技術が必須となると考えられる。

【0011】しかし他方で、ワード線（ゲート電極）の上部の絶縁膜をSOG膜で構成した場合には、露光シリコン膜をエッチングストップに用いたSAC(セルフアライメント)技術を利用してゲート電極のスペースに微細なコンタクトホールを形成する際に、BPSG膜に比べて対置化シリコン膜の選択比が、SOG膜の選択比を如何にして向上するかが課題となる。

【0012】すなわち、SOG膜・対置化シリコン膜の選択比が小さい場合には、ゲート電極の側壁に形成した対置化シリコンのサイドウォールスベーサがスバッタ(オン)でオーバーエッチングされるために、コンタクトホールとゲート電極がショートしてしまう。他方で、(ホウ素)ド・フ・ク(率)比の高いフルオロカーボン系ガス(C4F8, C2F6, C4F8)などを含むエッチャングガスを使用してSOG膜・対置化シリコン膜の選択比を大きめにしようとすると、エッチャング反応で生成したフルオロカーボン系の保護膜がSOG膜の表面に堆積するようにならために、SOG膜のエッチャングが途中で停止してコンタクトホールが開孔できない、なるといい問題が生じる。

【0013】本発明の目的は、対置化シリコン膜をエッチャングストップに用いたSAC(セルフアライメント)技術を利用してゲート電極のスペースに埋め込んだSOG膜にコンタクトホールを形成する際に、コンタクトホールの非開孔を生じることなく、SOG膜・対置化シリコン膜の選択比を向上することのできる技術を提供することにある。

【0014】本発明の前記ならびに他の目的と新規な特徴は、本明細書の記述および添付図面から明かになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的である概要を簡単に説明すれば次のとおりである。

【0016】(1) 本発明の半導体集積回路装置の製造方法は、以下の工程(2)～(6)を含んでいる。

【0017】(a) 半導体基板の主面上に複数の電極配線を形成した後、前記複数の電極配線の上部に対置化シリコン膜を堆積する工程、(b) 前記対置化シリコン膜で覆われた前記複数の電極配線の上部に、S1～S4結合に対するS1～S4結合の割合が90%以下、赤外線吸収強度比換算の無機SOG膜をスピンドル方式で前記複数の電極配線間のスペースに前記無機SOG膜を埋め込

じ工程。(c) 前記塗化シリコン膜をエッキングストーパに用いて前記無機SOG膜をドライエッチングすることにより、前記複数の電極配線間のスペースに接続孔を形成する工程。

【0018】(2) 本発明の半導体集積回路装置の製造方法は、(1)の工程(a)～(c)を含んで、(d)

【0019】(d) 半導体基板の主面上に複数のMISFETのゲート電極を形成した後、前記複数のゲート電極の上部に塗化シリコン膜を堆積する工程。(e) 前記塗化シリコン膜で覆われた前記複数のゲート電極の上部に、S1-N結合に対するS1-N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOG膜をスピンドル塗布して、前記複数のゲート電極間のスペースに前記無機SOG膜を埋め込む工程。(f) 前記塗化シリコン膜をエッキングストーパに用いて前記無機SOG膜をドライエッチングすることにより、前記複数のゲート電極間のスペースに接続孔を形成する工程。

【0020】(3) 本発明の半導体集積回路装置の製造方法は、前記複数のMISFETがDRAMのメモリセルの一部を構成するメモリセル選択用MISFETである。

【0021】(4) 本発明の半導体集積回路装置の製造方法は、前記接続孔が、前記メモリセル選択用MISFETのワーストトレインの一方とビッカス線とを電気的に接続する第一の接続孔、および前記メモリセル選択用MISFETのワーストトレインの他方と前記DRAMのメモリセルの他の一部を構成する情報蓄積用容量素子とを電気的に接続する第二の接続孔のうち、少なくとも一方である。

【0022】(5) 本発明の半導体集積回路装置の製造方法は、前記接続孔の底部の径が、フォトリソグラフィの解像限界で決まる最小寸法以下である。

【0023】(6) 本発明の半導体集積回路装置の製造方法は、以下の工程(a)～(c)を含んでいる。

【0024】(a) 半導体基板の主面上に、少なくともその上部に塗化金属膜が積層されたアルミニウム系の導電膜からなる配線を形成する工程。(b) 前記配線の上部に、S1-N結合に対するS1-N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOG膜をスピンドル塗布することにより、前記配線の上部に前記無機SOG膜を含んだ層間絶縁膜を形成する工程。(c) 前記無機SOG膜を含んだ層間絶縁膜をドライエッチングすることにより、前記配線の上部に前記配線とその上層の配線とを電気的に接続する接続孔を形成する工程。

【0025】(7) 本発明の半導体集積回路装置の製造方法は、ホリシラザン系の無機SOGに酸化反応促進剤を添加することによって、S1-N結合に対するS1-N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOGを得るものである。

【0026】(8) 本発明の半導体集積回路装置の製造

方法は、前記無機SOG膜にリチウム水素、タリウム水素、またはそれらの両方を添加する。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を【0027】に基づいて詳細に説明する。また、実施の形態を説明するための図面において、同一の機能を有する部材には同一の符号を用い、その説明は省略する。

【0028】図1は、ホリシラザン系の無機SOGの分子構造を示す模式図である。図示のように、ホリシラザン系の無機SOGは、基本骨格がS1-N結合で構成された原料ポリマーを酸素および水を含む雰囲気中でペークし、S1-N結合をS1-O結合に置換することにより得られる。ただし、このときすべてのS1-N結合がS1-O結合に置換されるわけではなく、通常は、ドライエッチングのスペクトル強度比(S1-N/S1-O)換算で10%程度のS1-N結合が残留した無機SOG膜が得られる。

【0029】本発明者は、上記原料ポリマー中に酸化反応促進剤を添加してペークを行なうことにより、S1-N/S1-Oの割合(ドライエッチングのスペクトル強度比換算、以下同様)が他の以前の無機SOG膜を調製した酸化反応促進剤には主にメチルアルコールを使用したが、それ以外の低級アルコール(エチルアルコール、プロピルアルコールなど)を添加した場合にも同様の結果が得られた。

【0030】図2は、酸化反応促進剤の添加量を変えた原料ポリマーをシリコン基板上にスピンドル塗布してペーク処理した結果得られた3種の無機SOG膜(a)、(b)、(c)のFT-IRスペクトル強度比(S1-N/S1-O)を示すグラフである。図の横軸はIRの波数(wave Number)、縦軸はスペクトル強度(Intensity)をそれぞれ示し、図中の破線はS1-N結合のスペクトル波数(900cm<sup>-1</sup>)を示している。これら3種の無機SOG膜(a)、(b)、(c)のスペクトル強度比(S1-N/S1-O)は、それぞれ1.1%、3.4%、20.4%である。

【0031】次に、[43-(a)]に示すように、单結晶シリコンの半導体基板1を用意し、その表面にSOG膜2と酸化シリコン膜3とを順次堆積した後、酸化シリコン膜3の上部に孔径を少しずつ變じたフォトリソ膜4を形成し、このフォトリソ膜4上にアセチレンを放電して上記酸化シリコン膜3とSOG膜2とを順次ドライエッチングした。SOG膜2は、前記3種の無機SOG膜。

(a)、(b)、(c)をそれぞれ単独で使用した。

また、酸化シリコン膜3はCVD法で堆積した。

【0032】また、比較例として、図6-(1)に示すように、酸素(O<sub>2</sub>)とテトラエキシシランとをソーラガスに用いたプラスマCVD法で半導体基板1の表面に酸化シリコン膜(p-TETOS)膜5を堆積した後、p-TETOS膜5の上部に孔径を少しずつ變じたフォト

シスト膜4を形成し、このフォトレジスト膜4をマスクにして酸化シリコン膜7をドライエッチングした。p-TFT膜は、塗化シリコン膜に対するドライエッチング選択性が高いことが知られている。

【0033】次に、上記フォトレジスト膜4の孔径をエチチング深さとの関係を、前記3種の無機SOG膜

（a）～（c）を使用した場合とp-TFT膜のSOG膜7を使用した場合とでそれぞれ測定し、図4に示す結果を得た。

【0034】図2から得られた3種の無機SOG膜（a）～（b）～（c）のFT-EISスペクトル強度比（Si-N/Si-O）と、図4から得られた3種の無機SOG膜（a）～（b）～（c）の対p-TFT膜エチチング速度比の関係を図4に示す。このグラフから、無機SOG膜のスペクトル強度比（Si-N/Si-O）が低下するにつれてそのエチチング速度がp-TFT膜のSOG膜のそれに近づき、スペクトル強度比が5%以下になると対p-TFT膜エチチング速度比が0.6以上となることが分かる。

【0035】以上のことから、スペクトル強度比（Si-N/Si-O）が0.5以下以下の無機SOG膜を使用することにより、SOG膜の塗化シリコン膜の選択性向上できること、およびこのスペクトル強度比（Si-N/Si-O）が小さいほど選択性をより向上できることが判明した。

【0036】次に、スペクトル強度比（Si-N/Si-O）が0.5以下の無機SOG膜を絶縁膜7の一部に使用したDRAMの製造方法の一例を図6～図36を用いて説明する。

【0037】図6に示すように、このDRAMのメモリアレイ（MARY）は、マトリクス状に配置された複数のワード線WL（WL<sub>n-1</sub>、WL<sub>n</sub>、WL<sub>n+1</sub>…）と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル（MC）により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子（これに直列に接続された1個のメモリセル選択用MISFETとQS）で構成されている。メモリセル選択用MISFETとQSのノード（N）側の一方は、情報蓄積用容量素子（と電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードトライ（WT）に接続され、ビット線BLの一端は、セレクション（SA）に接続されている。

【0038】このDRAMを製造するには、まず図7に示すように、p型で比抵抗が1.0Ω/cm程度の半導体基板1を用意し、この半導体基板1の正面の素子分離領域をエチチングして溝を形成した後、この溝の内部に酸化シリコン膜7を埋め込んで素子分離溝7を形成する。

【0039】次に、図8に示すように、メモリセルを形成する領域（メモリアレイ）の半導体基板1にn型不純物、例えばP（リン）をイオン打ち込みしてn型半導体

領域10を形成し、メモリアレイと周辺回路の一部のチャネル型MISFETを形成する領域11にp型不純物、例えばB（ホウ素）をイオン打ち込みしてn型ウエル1-1を形成し、周辺回路の他の一部のチャネル型MISFETを形成する領域12にn型不純物、例えばP（リン）をイオン打ち込みしてp型ウエル1-2を形成する。

【0040】次に、MISFETのしきい値電圧を調整するための不純物、例えばBF<sub>3</sub>（フッ化ホウ素）をp型ウエル1-1およびn型ウエル1-2にイオン打ち込みし、次いでp型ウエル1-1およびn型ウエル1-2の各表面をHF（フッ酸）系の洗浄液を使って除去した後、半導体基板1をウェット酸化してp型ウエル1-1およびn型ウエル1-2の各表面に清浄なゲート酸化膜13を形成する。

【0041】次に、図9に示すように、ゲート酸化膜13の上部にゲート電極1-4A、1-4B、1-4Cを形成する。ゲート電極1-4Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして機能する。また、このゲート電極1-4Aおよびゲート電極1-4Cは、周辺回路のチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0042】ゲート電極1-4A（ワード線WL）およびゲート電極1-4B、1-4Cは、例えばP（リン）などのn型不純物をドープした多結晶シリコン膜を半導体基板1上（CVD法で堆積し、次いでその上部にWN（タングステンナイトライド）膜とW膜とをスパッタリング法で堆積し、さらにその上部に塗化シリコン膜14をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をバーナー焼成することによって形成する。

【0043】次に、図10に示すように、n型ウエル1-2にp型不純物、例えばB（ホウ素）をイオン打ち込みしてゲート電極1-4Cの周側のn型ウエル1-2にp型半導体領域17を形成する。また、p型ウエル1-1にn型不純物、例えばP（リン）をイオン打ち込みしてゲート電極1-4Bの周側のp型ウエル1-1にn型半導体領域18を形成し、ゲート電極1-4Aの周側のn型ウエル1-1にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETとQSが構成される。

【0044】次に、図11に示すように、半導体基板1上にCVD法で塗化シリコン膜20を堆積した後、メモリアレイの塗化シリコン膜20をフォトレジスト膜で覆い、周辺回路の塗化シリコン膜20を異方性エチチングすることにより、周辺回路のゲート電極1-4A、1-4Cの側壁にサイドウォールスベーサ21を形成する。

エーチングは、ゲート酸化膜1-3や素子分離溝4に埋め込まれた酸化シリコン膜7の削れ量を最少とするために、酸化シリコン膜7に対する窒化シリコン膜2-9の選択比が高くなるようなエーチングガスを使用して行なう。また、ゲート電極1-4B、1-4Cの上の窒化シリコン膜1-5の削れ量を最少とするために、オーバーエーチング量を必要最小限にとどめようとする。

【0045】次に、周辺回路のn型ウエル1-2にp型不純物、例えはB(ホウ素)をイオン打ち込みしてpチャネル型MISFETのp+型半導体領域2-2(ソース、ドレイン)を形成し、周辺回路のp型ウエル1-1にn型不純物、例えはAs(ヒ素)をイオン打ち込みしてnチャネル型MISFETのn+型半導体領域2-3(ソース、ドレイン)を形成する。これにより、周辺回路にpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0046】次に、図1-2に示すように、半導体基板1上にSOG膜2-1をスピンドル方式で堆積する。ゲート電極1-4A(ワード線WL)のスベースをこのSOG膜2-4で埋め込んだ後、半導体基板1を400°C程度で熱処理してSOG膜2-4を焼き付ける。このSOG膜2-4は、前述したように、ドライ、クール強度比(Si-N/Si-O)が5%以下、以下のポリシリコン系無機SOGを使用する。

【0047】SOG膜2-4は、CVD法で堆積した酸化シリコン膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、ゲート電極1-4A(ワード線WL)のスベースがフォトリソグラフィの解像限界程度まで微細化されている場合でも、このスペースを良好に埋め込むことができる。

【0048】また、SOG膜2-4は、BPSG膜などで必要とされる高温・長時間の熱処理を行なうとともに高いリフロー性が得られるため、メモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET(nチャネル型MISFETQn、nチャネル型MISFETQp)のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができ。かつゲート電極1-4A(ワード線WL)およびゲート電極1-4B、1-4Cを構成するメタル(W膜)が熱処理時に酸化するのを抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETで高性能化を実現することができる。

【0049】SOG膜2-4のリフロー性をさらに向上させるために、上記ホリシリコン系無機SOGにリチウム(P)またはホウ素(B)、あるいはそれらの両方を添加したものを使用してもよい。

【0050】次に、図1-3に示すように、SOG膜2-4の上部に酸化シリコン膜2-6を堆積し、この酸化シリコン膜2-6をCVD法で研磨してその表面を平坦化する。酸化シリコン膜2-6は、例えは酸素(O<sub>2</sub>)とテトラエトキシシリコン(TEOS)とをノーズガスに用いたラスマビーム法で堆積する。酸化シリコン膜2-6の上部には、上記酸化シリコン膜2-6に代えてSi<sub>3</sub>N<sub>4</sub>、Phospho-Si<sub>3</sub>N<sub>4</sub>、lasso膜などを堆積してもよい。

スマCVD法で堆積する

【0051】このように、本実施形態では、ゲート電極1-4A(ワード線WL)およびゲート電極1-4B、1-4Cの上部に成膜直後でも平坦性が良好なSOG膜2-4を堆積し、さらにその上部に堆積した酸化シリコン膜2-6をCVD法で平坦化する。これにより、ゲート電極1-4A(ワード線WL)の間の膜厚をn-1とすると、平坦性が向上すると共に、ゲート電極1-4A(ワード線WL)およびゲート電極1-4B、1-4Cの上部に絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現することができる。

【0052】次に、図1-4に示すように、酸化シリコン膜2-6の上部に酸化シリコン膜2-6を堆積する。この酸化シリコン膜2-6は、CVD法で研磨されたときに生じた前記酸化シリコン膜2-6の表面の微細な傷を補修するために堆積する。酸化シリコン膜2-6は、例えは酸素(O<sub>2</sub>)とテトラエトキシシリコン(TEOS)とをノーズガスに用いたラスマビーム法で堆積する。酸化シリコン膜2-6の上部には、上記酸化シリコン膜2-6に代えてSi<sub>3</sub>N<sub>4</sub>、Phospho-Si<sub>3</sub>N<sub>4</sub>、lasso膜などを堆積してもよい。

【0053】次に、図1-5に示すように、酸化シリコン膜2-6の上部に形成したワードレジスト膜2-7をマスクにしてメモリセル選択用MISFETQsのn型半導体領域2-9(ソース、ドレイン)の上部の酸化シリコン膜2-6をドライエッチャリングし、続いて窒化シリコン膜2-8をエチングストップに用いてSOG膜2-4をドライエーチングする。

【0054】このとき、スクール強度比(Si-N/Si-O)が5%以下(ホリシリコン系無機SOG)で構成されたSOG膜2-4は、窒化シリコン膜2-8に対するエーチング選択比が高い(ゲート電極1-4Aの肩部で10程度、ゲート電極1-4Aのスベースの底部で20程度)ので、C(炭素)、E(エチ素)比の高いフルオロカーボン系のガス(C<sub>4</sub>F<sub>8</sub>、C<sub>2</sub>F<sub>6</sub>、C<sub>3</sub>F<sub>8</sub>、C<sub>4</sub>F<sub>10</sub>など)を多く含有するエーチングガスを使用しないと、窒化シリコン膜2-8が完全に除去されないようになります。

【0055】続いて、図1-6に示すように、上記ワードレジスト膜2-7をマスクにしたドライエッチャリングでメモリセル選択用MISFETQsのn型半導体領域2-9(ソース、ドレイン)の上部の窒化シリコン膜1-5とゲート酸化膜1-3とを除去することにより、n型半導体領域2-9(ソース、ドレイン)の一方の上部にコンタクトホール(接続孔)2-8を形成し、他方の上部にコンタクトホール(接続孔)2-9を形成する。

【0056】このエッチャリングは、酸化シリコン膜(ゲート酸化膜1-3および素子分離溝4内の酸化シリコン膜

二に対する空化シリコン膜15の選択比が高くなるような条件で行い、n型半導体領域19や素子分離溝うが深削れなないようにする。また、このエチチングは、空化シリコン膜15が異方的にエチチングされるような条件で行い、ゲート電極1-4A(ワード線WL)の側壁に空化シリコン膜15が残るようにする。これにより、ワットリソグラフィの解消境界以下の側壁を有するコントラクトホール28、29がゲート電極1-4A(ワード線WL)に対して自己整合で形成される。なお、コントラクトホール28、29をゲート電極1-4A(ワード線WL)に対して自己整合で形成するには、あらかじめ空化シリコン膜15を異方性エチチングしてゲート電極1-4A(ワード線WL)の側壁にサイドウォールスペーサを形成しておいてもよい。

【0057】このように、ゲート電極1-4A(ワード線WL)のスペースを埋め込むSiO<sub>2</sub>膜24として、スペクトル強度比(Si-NiSi-O)が9%以下(本リソソグラフィ無機SiO<sub>2</sub>を使用することにより、SiO<sub>2</sub>膜24のエッチングが途中で停止して)コントラクトホール28、29が埋め込まれるといった不具合を生じることなく、SiO<sub>2</sub>膜、空化シリコン膜の選択比を向上することができる。

【0058】次に、図17に示すように、コントラクトホール28、29の内部にプラグ30を形成し、次いで酸化シリコン膜21の上部に酸化シリコン膜31を堆積した後、半導体基板1を800°C程度で熱処理する。プラグ30は、酸化シリコン膜21の上部にn型不純物(例えばP(リチウム))をドープした多結晶シリコン膜をVTD法で堆積した後、この多結晶シリコン膜をMP法で研磨してコントラクトホール28、29の内部に残すことにより形成する。また、上記熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコントラクトホール28、29の底部からメモリセル選択用MISFETQ<sub>8</sub>のn型半導体領域19(ソース、ドレイン)に拡散し、n型半導体領域19が低抵抗化される。

【0059】次に、図18に示すように、ワットリソグラフィ膜25をマスクにしたドライエーチングで前記コントラクトホール28、29の上部の酸化シリコン膜31を除去して、プラグ30の表面を露出させる。次に、ワットリソグラフィ膜25を除去した後、図19に示すように、ワットリソグラフィ膜25をマスクにしたドライエーチングで周辺回路領域の酸化シリコン膜31、21ら、25、SiO<sub>2</sub>膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQ<sub>9</sub>のn型半導体領域23(ソース、ドレイン)の上部にコントラクトホール34、35を形成し、nチャネル型MISFETQ<sub>10</sub>のn型半導体領域22(ソース、ドレイン)の上部にコントラクトホール36、37を形成する。

【0060】上記のように、メモリアレイの酸化シリコン膜31を除去してプラグ30の表面を露出させるエチ

チングと、周辺回路領域にコントラクトホール28、29を形成するエチチングを別工程で行うことにより、深コントラクトホール28、29と34～37を形成する際にエチチングが削れるのを防ぐことができる。プラグ30の表面を露出させるエチチングとコントラクトホール28、29を形成するエチチングは、上記と逆の順序で行うでもよい。

【0061】次に、ワットリソグラフィ膜25を除去した後、図20に示すように、酸化シリコン膜31の上部にビット線B1と周辺回路の第1層配線38、39を形成する。ビット線B1および第1層配線38、39を形成するには、まず酸化シリコン膜31の上部にTi膜をスパッタリング法で堆積し、半導体基板1を800°C程度で熱処理する。次いで、Ti膜の上部にTiN膜をスパッタリング法で堆積し、さらにその上部にW膜と空化シリコン膜41をVTD法で堆積した後、ワットリソグラフィ膜41をマスクにしてこれらの膜をバターにてきする。

【0062】酸化シリコン膜31の上部にTiN膜を堆積した後、半導体基板1を800°C程度で熱処理することにより、TiN膜とSi基板1が反応し、石墨チャネル型半導体領域21(ソース、ドレイン)のn型半導体領域22(ソース、ドレイン)の表面とnチャネル型MISFETQ<sub>9</sub>のn型半導体領域23(ソース、ドレイン)の表面とに抵抗のTi<sub>3</sub>S<sub>4</sub>(チタンシリサイド)層42が形成される(4示は省略するが、このとき、メモリセル選択用MISFETQ<sub>9</sub>のn型半導体領域19の上部にコントラクトホール28に埋め込まれたプラグ30の表面にもTi<sub>3</sub>S<sub>4</sub>層42が形成される)。これにより、n型半導体領域23およびp型半導体領域22に接続される配線(ビット線B1、第1層配線38、39)のコントラクト抵抗を低減することができる。また、ビット線B1をW膜、TiN膜、Ti膜で構成することにより、そのリード抵抗を2Ω(1.5μmにまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができ、かつビット線B1と周辺回路の第1層配線38、39とを一つの工程で同時に形成することができる。さらに、周辺回路の第1層配線(38、39)をビット線B1と同層の配線で構成した場合は、第1層配線をメモリセルの上層に形成されるA1配線で構成する場合と、周辺回路のTi<sub>3</sub>S<sub>4</sub>層42(チャネル型MISFETQ<sub>9</sub>とTi<sub>3</sub>S<sub>4</sub>層42(チャネル型MISFETQ<sub>10</sub>))と第1層配線とを接続するコントラクトホール(34～37)のアスペクト比が低減されるため、第1層配線の接続信頼性を向上する。

【0063】次に、ワットリソグラフィ膜41を除去した後、図21に示すように、ビット線B1の側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線B1および第1層配線38、39の上部にVTD法で空化シリコン膜を堆積した後、この空化シリコン膜を異方

エッチングして形成する。

【0065】次に、図23に示すように、ビット線B上および第1層配線3Sの上部にSOG膜44をスピンドル方式で堆積する。このSOG膜44は、前述したトライエッジング強度比(SI-N/SI-O)が5%以下で、モリアレイ系無機SOGを使用してもよく、あるいはこのスペクトル強度比が5%を超える無機SOGや、有機SOGを使用してもよい。

【0066】SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、ビット線BLのスペースを良好に埋め込むことができる。また、SOG膜44は、BPSG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線BLの下層に形成されたメモリセル選択用MISFETQsのソーストランジistorや周辺回路のMISFET (nチャネル型MISFETQn、pチャネル型MISFETQp) のソース、トランジistorに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極14A (ビット線WL) およびケート電極14B、14Cを構成するスチール (W膜) の酸化を抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線BLの上および第1層配線3S、39を構成するTi膜、TiN膜、W膜の酸化を抑制して配線低抵抗の低減を図ることができる。

【0067】次に、図23に示すように、SOG膜44の上部に酸化シリコン膜45を堆積し、次いでこの酸化シリコン膜45をCVD法で研磨してその表面を平坦化した後、酸化シリコン膜45の上部に酸化シリコン膜46を堆積する。酸化シリコン膜45、46は、例えば酸素(O<sub>2</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。また、酸化シリコン膜46は、CVD法で研磨されたときに生じた前記酸化シリコン膜45の表面の微細な傷を補修するために堆積する。

【0068】次に、図24に示すように、フォトレスト膜47をマスクにしたドライエッジングでコンタクトホール20の上部の酸化シリコン膜46、45、SOG膜44および酸化シリコン膜31を除去してプラグ39の表面に達するスルーホール48を形成する。このエッジングは、酸化シリコン膜46、45、31およびSOG膜44に対する空化シリコン膜のエッジンググレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部の空化シリコン膜40やサイドウォールスベーサー43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0069】次に、図25に示すように、スルーホール

48の内部にプラグ49を形成する。プラグ49は、酸化シリコン膜47の上部に有する不純物 (例えは、シリコン) をトーチした多結晶シリコン膜をCVD法で堆積して得、この多結晶シリコン膜をエッチングしてスルーホール48の内部に残すことにより形成する。

【0070】次に、図26に示すように、酸化シリコン膜47の上部に空化シリコン膜51をCVD法で堆積した後、フォトレスト膜42をマスクにしたドライエッジングで周辺回路領域の空化シリコン膜51を除去する。メモリアレイに残った空化シリコン膜51は、後述する情報蓄積用容量素子の下部電極を形成する工程で下部電極の間の酸化シリコン膜をエッチングする際のエッチングマスクとして使用される。

【0071】次に、フォトレスト膜42を除去した後、図27に示すように、空化シリコン膜51の上部に酸化シリコン膜52を堆積し、フォトレスト膜42をマスクにしたドライエッジングで酸化シリコン膜52および空化シリコン膜51を除去することにより、スルーホール48の上部に溝53を形成する。このとき同時に、メモリアレイの周囲にメモリアレイを形成する構造54を形成する。酸化シリコン膜52は、例えば酸素(O<sub>2</sub>)とテトラエトキシシラン (TEOS) をソースガスに用いたプラズマCVD法で堆積する。

【0072】次に、フォトレスト膜54を除去した後、図28に示すように、酸化シリコン膜52の上部に、情報蓄積用容量素子の下部電極材料として使用されるn型不純物 (例えばP (リチウム)) をトーチした多結晶シリコン膜55をCVD法で堆積した後、多結晶シリコン膜55の上部に溝53、54を埋め込むのに十分な膜厚のSOG膜57をスピンドル方式で堆積する。このSOG膜57は、前述したFT-TIGスペクトル強度比(SI-N/SI-O)が5%以下でモリアレイ系無機SOGを使用してもよく、あるいはこのスペクトル強度比が5%を超える無機SOGや、有機SOGを使用してもよい。

【0073】次に、図29に示すように、SOG膜57をエッチングし、さらに酸化シリコン膜52の上部に多結晶シリコン膜56をエッチングすることにより、溝53、54の内側 (内壁および底面) に多結晶シリコン膜56を残す。

【0074】次に、図30に示すように、周辺回路領域の酸化シリコン膜52をフォトレスト膜58で覆い、溝53、54の内部のSOG膜57と溝53、54の隙間の酸化シリコン膜52とをウェットエッジングで除去することにより、情報蓄積用容量素子の下部電極59を形成する。このとき、溝53、54の隙間には空化シリコン膜51が残っているので、この隙間の酸化シリコン膜52がエッジングされることはない。また、周辺回路領域の酸化シリコン膜52を覆うフォトレスト膜58の一端は、メモリア

レイの最も外側に形成される下部電極60と周辺回路領域との境界部、すなわち溝うきの上部に配置される。このようにすると、フォトレジスト膜68に含めずれが生じた場合でも、その端部がメモリアレイの最も外側に形成される下部電極60の上に位置することはないので、この下部電極60の溝うきの内部にSiO<sub>2</sub>膜67が残ったり、この下部電極60の溝うきとの隙間に酸化シリコン膜68が残ったりすることはない。また、周辺回路領域の酸化シリコン膜68の一部がエッチング液に曝されることもない。周辺回路領域の酸化シリコン膜68の一部が削れて深い溝ができたりすることもない。

【0071】次に、フォトレジスト膜68を除去し、次いで下部電極60を構成する多結晶シリコン膜（69）の酸化を防止するために半導体基板1をアンモニア雰囲気中、800°C程度で熱処理して多結晶シリコン膜（69）の表面を窒化した後、図3-1に示すように下部電極60の上部にTaN（窒化タングタル）膜61をCVD法で堆積し、次いで半導体基板1を800°C程度で熱処理してTaN膜61の欠陥を修復した後、TaN膜61の上部にCVD法とスパッタリング法などでTaN膜62を堆積し、フォトレジスト膜68をマスクにしたドライエッチングでTaN膜62およびTaN膜61をバターニングすることにより、TaN膜62からなる上部電極と、TaN膜61からなる容量绝缘膜と、多結晶シリコン膜69からなる下部電極60とで構成される情報蓄積用容量素子Cを形成する。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0072】次に、フォトレジスト膜68を除去した後、図3-2に示すように、情報蓄積用容量素子Cの上部に膜厚100nm程度の酸化シリコン膜（71）を堆積する。酸化シリコン膜71は、例えば酸素（O<sub>2</sub>）とテトラエトキシシリコン（TEOS）をソースガスに用いたグローバルCVD法で堆積する。続いて、フォトレジスト膜68をマスクにしたドライエッチングで周辺回路の第1層配線68の上部の酸化シリコン膜64、53、41、43、SOG膜44および窒化シリコン膜40を除去することにより、スルーホール74を形成する。

【0073】次に、フォトレジスト膜68を除去した後、図3-3に示すように、スルーホール74の内部にプラグ67を形成し、続いで酸化シリコン膜64の上部に第2層配線68、69を形成する。プラグ67は、酸化シリコン膜64の上部にバッタリング法でTaN膜を堆積し、さらにその上部にCVD法でW膜を堆積した後、これらの膜をエッチバックしてスルーホール74の内部に残すことにより形成する。第2層配線68、69は、酸化シリコン膜64の上部にスパッタリング法でTaN膜、Al（アルミニウム）膜、TaN膜を順次堆積

した後、フォトレジスト膜をマスクにしてドライエッチングでこれらの膜をバターニングして形成する。

【0074】次に、図3-4に示すように、第2層配線68、69の上部に層間绝缘膜を堆積する。層間绝缘膜は、例えばSiO<sub>2</sub>膜72および酸化シリコン膜73で構成する。SiO<sub>2</sub>膜72は、前述したとおりスベクタル強度比（SiO<sub>2</sub>膜72/SiO<sub>2</sub>膜73）が3～5倍のポリシラザン系無機SiO<sub>2</sub>を使用してスピッカ布74で酸化シリコン膜73は、例えば酸素（O<sub>2</sub>）とテトラエトキシシリコン（TEOS）をソースガスに用いたグローバルCVD法で堆積する。

【0075】次に、図3-5に示すように、情報蓄積用容量素子Cの上部の層間绝缘膜にスルーホール（接続孔）74を形成し、周辺回路の第2層配線69の上部の層間绝缘膜にスルーホール（接続孔）74を形成する。スルーホール74、75は、フォトレジスト膜をマスクにしたドライエッチングで酸化シリコン膜73およびSiO<sub>2</sub>膜72を除去することにより形成する。

【0076】上記スルーホール74、75を形成するためのドライエッチングでは、スルーホール74の底部に第2層配線69の表面が露出する。この第2層配線69の最上層はTaN膜で構成されているために、第2層配線69を覆う層間绝缘膜の一部を構成するSiO<sub>2</sub>膜72として、窒化シリコン膜に対するドライエッチング選択比が低いSiO<sub>2</sub>材料（例えばスベクタル強度比（SiO<sub>2</sub>膜72/SiO<sub>2</sub>膜73）が3倍を超えるポリシラザン系無機SiO<sub>2</sub>）を使用すると、窒化シリコン膜と同様に空素を含有するTaN膜がオーバーエッチングされてAl膜が露出する。すると、次の工程でスルーホール74、75の内部にプラグを埋め込む際、その前処理としてスルーホール74、75の内部を洗浄したときに、Al膜が洗浄液に晒されて腐蝕を引き起こすことがある。

【0077】ところが、SiO<sub>2</sub>膜72として、窒化シリコン膜に対するドライエッチング選択比が高い材料、すなわちスベクタル強度比（SiO<sub>2</sub>膜72/SiO<sub>2</sub>膜73）が3倍以下、ポリシラザン系無機SiO<sub>2</sub>を使用した場合には、窒化シリコン膜と同様に空素を含有するTaN膜がオーバーエッチングされてAl膜が露出するのを防ぐことができる。第2層配線69の腐蝕による凹線などを防止することができる。なお、第2層配線69の最上層をTaN膜に代えて他の窒化金属膜（例えばW）膜で構成した場合でも、同様の効果（Al膜の腐蝕防止）を得ることができると。

【0078】次に、図3-6に示すように、スルーホール74、75の内部にプラグ76を形成し、続いで層間绝缘膜の上部に第3層配線77、78、79を形成する。プラグ76は、層間绝缘膜の上部にスパッタリング法でTaN膜を堆積し、さらにその上部にCVD法でW膜を堆積した後、これらの膜をエッチバックしてスルーホール74、75の内部に残すことにより形成する。第3層

配線アーチホールは、層間絶縁膜の上部にスパッタリング法で下ト膜、H<sub>2</sub>T膜、Si<sub>x</sub>T膜を堆積した後、フォトマスク膜をマスクにしたトライエクソノクでこれよりH膜をハサードで形成する。

【0082】その後、第3層配線アーチホールの上部に酸化シリコン膜と窒化シリコン膜とで構成されたH<sub>2</sub>Tペーパーヨン膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0083】以上、本発明者によつてなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0084】前記実施の形態では、DRAMの製造プロセスに適用した場合について説明したが、本発明はメモリLSIやワイヤーフラッシュを問わず、一般に微細な間隔で形成された電極配線のスベースにSiO<sub>2</sub>G膜を埋め込むワイヤーを有する高集積LSIに広く適用することができる。

【0085】

【発明の効果】本願において開示される発明は、一代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0086】本発明によれば、窒化シリコン膜をエッチングストップに用いたSAC（セルフアラインコンタクト）技術を利用し電極配線のスペースに埋め込んだSiO<sub>2</sub>G膜にコンタクトホールを形成する際に、コンタクトホールの非開孔を生じることなく、SiO<sub>2</sub>G膜、窒化シリコン膜の選択比を向上することができる。

【0087】本発明によれば、少なくともその上部に窒化金属膜が積層されたA系の導電膜からなる配線の上部にSiO<sub>2</sub>G膜を含んだ層間絶縁膜を形成し、この層間絶縁膜をトライエクソノク、そしてこの配線の上部に接続孔を形成する際に、窒化金属膜がオーバーエッチングされてA系の導電膜が接続孔の底部に露出するのを防ぐことができる。配線腐蝕を防止することができる。

【図面の簡単な説明】

【図1】カリルラゼン系の無機SiO<sub>2</sub>Gの分子構造を示す模式図である。

【図2】酸化反応促進剤の添加量を変えた原料ポリマーをシリコン基板上にスピンドル塗布してベーク処理した結果得られた無機SiO<sub>2</sub>G膜のFT-TIRスペクトル強度比 (Si-N/Si-O) を示すグラフである。

【図3】(a)、(b)は、無機SiO<sub>2</sub>G膜の対y-TEのSi膜エッチング速度比を調べるために行ったテスト方法を示す半導体基板の要部断面図である。

【図4】フォトマスク膜の孔径とエッチング深さとの関係を、無機SiO<sub>2</sub>G膜を使用した場合とy-TEのSi膜を使用した場合とでそれぞれ測定した結果を示すグラフである。

【図5】無機SiO<sub>2</sub>G膜の対y-TE膜エッチング速度比を調べるために行ったテスト結果を示すグラフである。

【図6】本発明の一実施の形態であるDRAMの構造である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の一実施の形態であるDRAMの製造

方法を示す半導体基板の要部断面図である。

【図3-1】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3-2】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3-3】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3-4】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3-5】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3-6】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 1A 半導体チップ
- 2 SOG膜
- 3 酸化シリコン膜
- 4 フォトレジスト膜
- 5 素子分離溝
- 6 酸化シリコン(ド-TEOS)膜
- 7 酸化シリコン膜
- 10 n型半導体領域
- 11 p型ウエル
- 12 n型ウエル
- 13 ゲート酸化膜
- 14A～14C ゲート電極
- 15 穹化シリコン膜
- 16 フォトレジスト膜
- 17 p+型半導体領域
- 18 n+型半導体領域
- 19 n型半導体領域
- 20 穹化シリコン膜
- 20a サイドウォールスペーサ
- 22 p+型半導体領域
- 23 n+型半導体領域
- 24 SOG(スピンドルガラス)膜
- 25 酸化シリコン膜
- 26 酸化シリコン膜
- 27 フォトレジスト膜
- 28 コンタクトホール(接続孔)
- 29 コンタクトホール(接続孔)
- 30 プラグ

3.1 酸化シリコン膜

3.2 フォトレジスト膜

3.3 フォトレジスト膜

3.4～3.7 コンタクトホール

3.8、3.9 第1層配線

4.0 穹化シリコン膜

4.1 フォトレジスト膜

4.2 TiSi<sub>x</sub> 层

4.3 サイドウォールスペーサ

4.4 SOG膜

4.5 酸化シリコン膜

4.6 酸化シリコン膜

4.7 フォトレジスト膜

4.8 スルーホール

4.9 プラグ

5.1 穹化シリコン膜

5.2 フォトレジスト膜

5.3 酸化シリコン膜

5.4 フォトレジスト膜

5.5 溝

5.5a 溝

5.6 多結晶シリコン膜うつSOG膜

5.8 フォトレジスト膜

6.0 下部電極

6.1 Ti<sub>x</sub> O<sub>y</sub>(酸化タンタル)膜

6.2 Ti<sub>x</sub>N膜(上部電極)

6.3 フォトレジスト膜

6.4 酸化シリコン膜

6.5 フォトレジスト膜

6.6 スルーホール

6.7 プラグ

6.8、6.9 第2層配線

7.2 SOG膜

7.3 酸化シリコン膜

7.4、7.5 スルーホール(接続孔)

7.6 プラグ

7.7～7.9 第3層配線

8.1 ピッチ線

C 情報蓄積用容量素子

MARY メモリアレイ

Cn ロチカネル型MISFET

Qp pチャネル型MISFET

Qs メモリセル選択用MISFET

SA センスアンプ

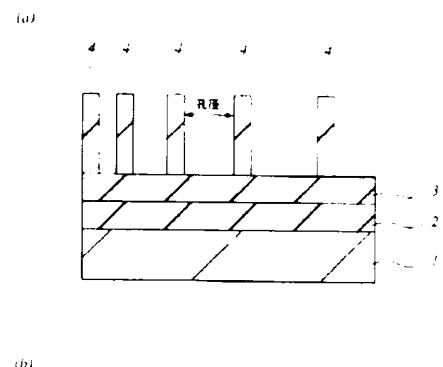
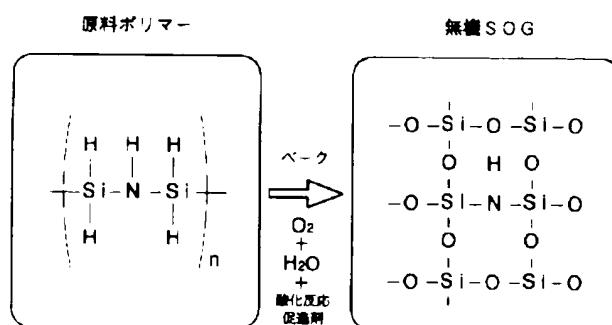
WD ワードドライバ

【図1】

【図3】

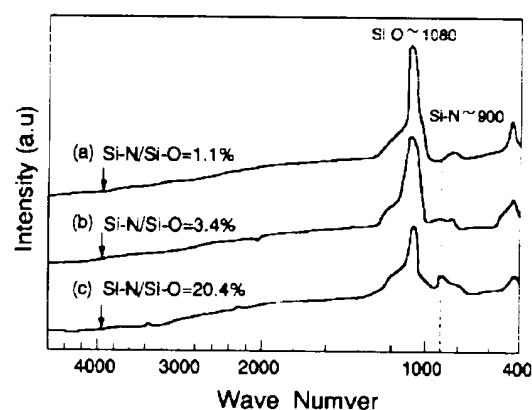
図 1

図 3



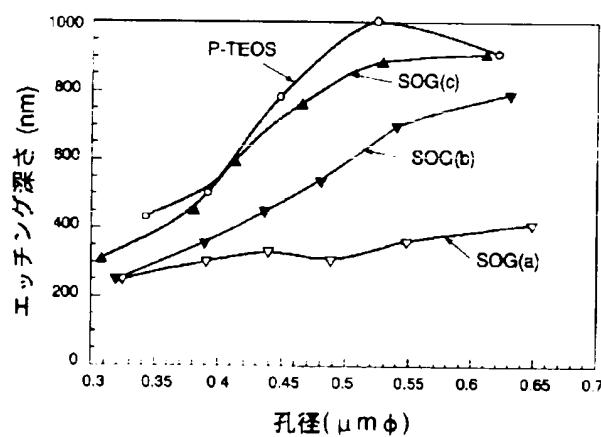
【図2】

図 2



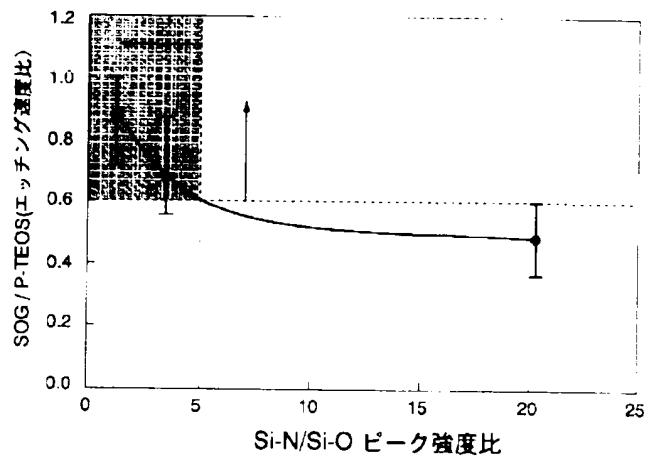
【図4】

図 4



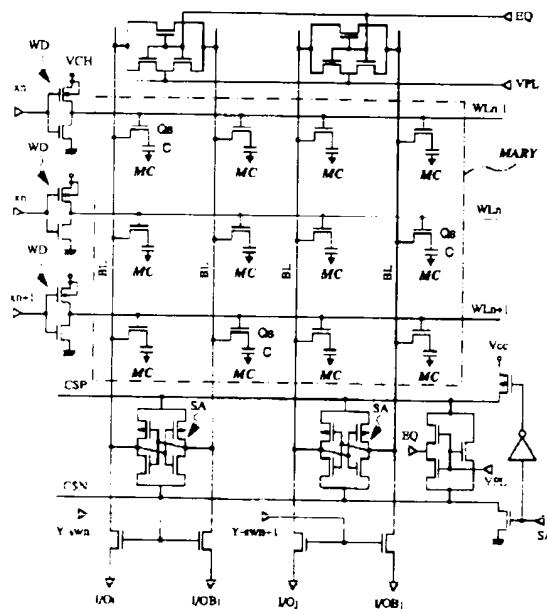
〔五〕

5



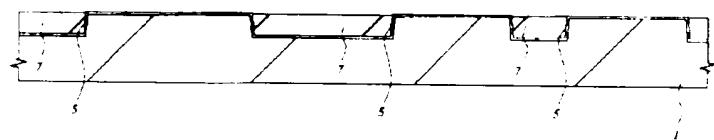
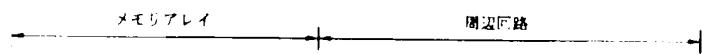
[图6]

图 6



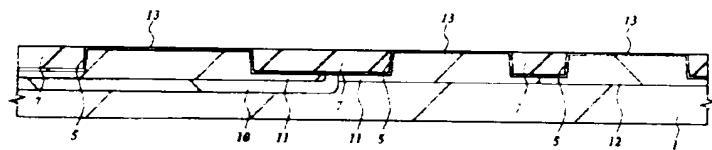
【図7】

図 7



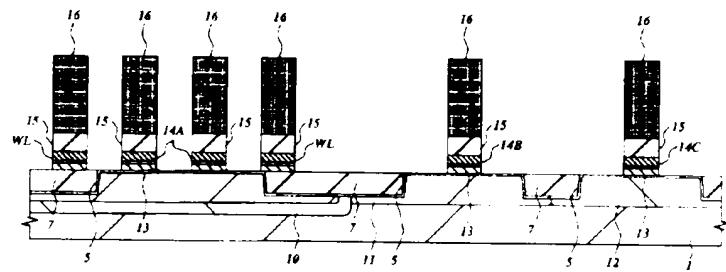
【図8】

図 8



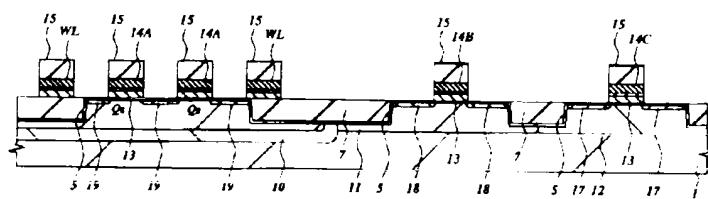
【図9】

図9



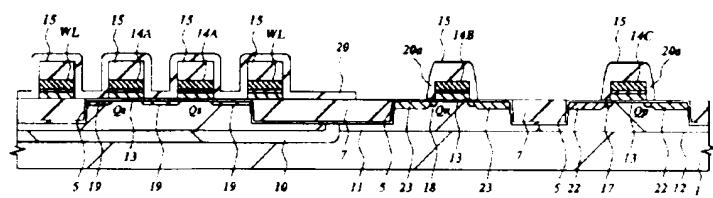
【図10】

図10



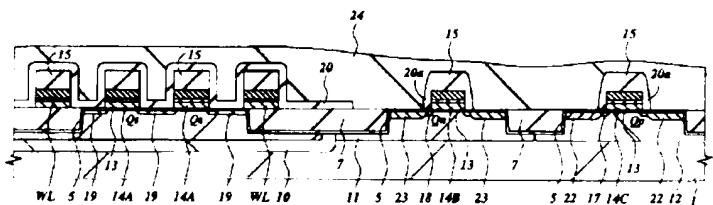
【図11】

図 11



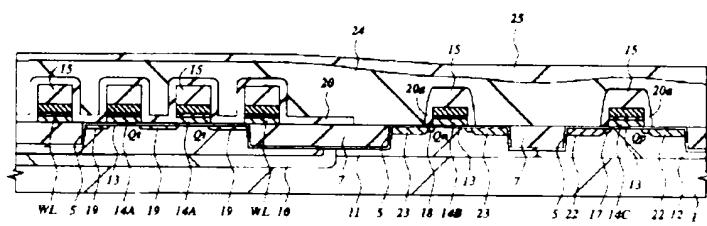
【図12】

図 12



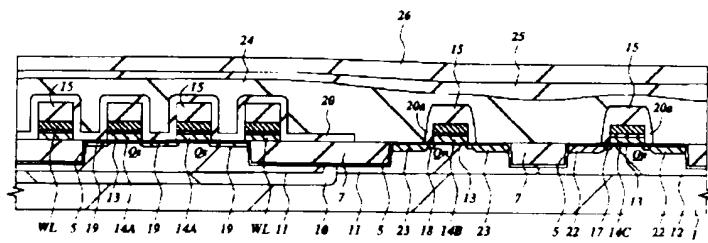
[图13]

图 13



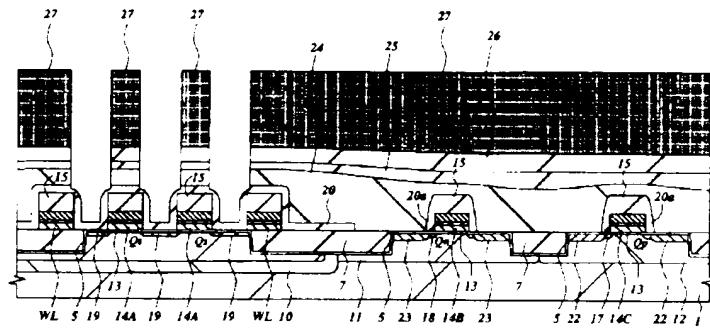
[ 1 - 1 ]

14



【図15】

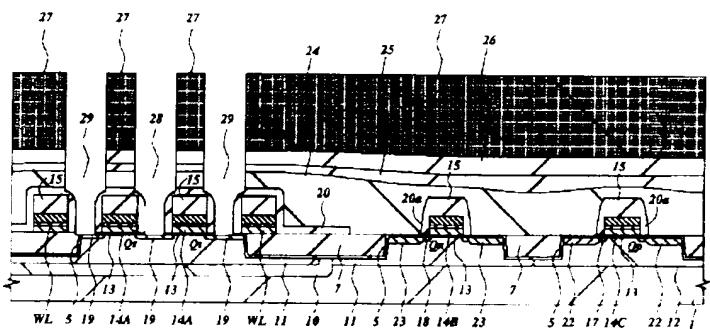
図 15



【図16】

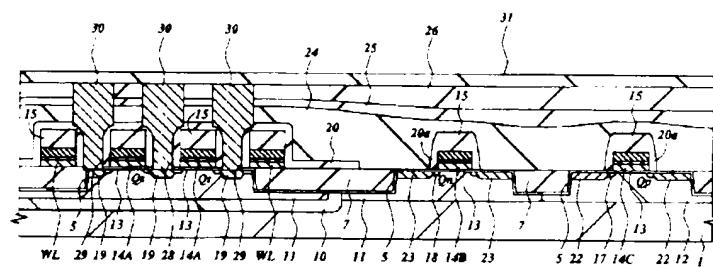
図 16

24: SOG膜



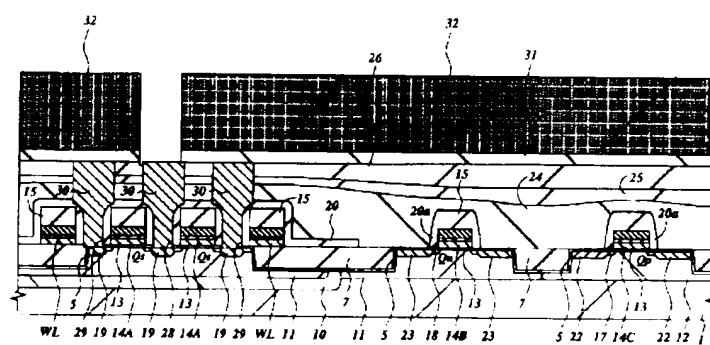
【図17】

図 17



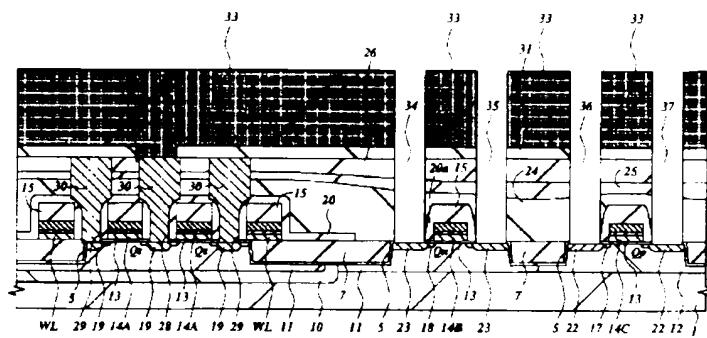
【図18】

図 18



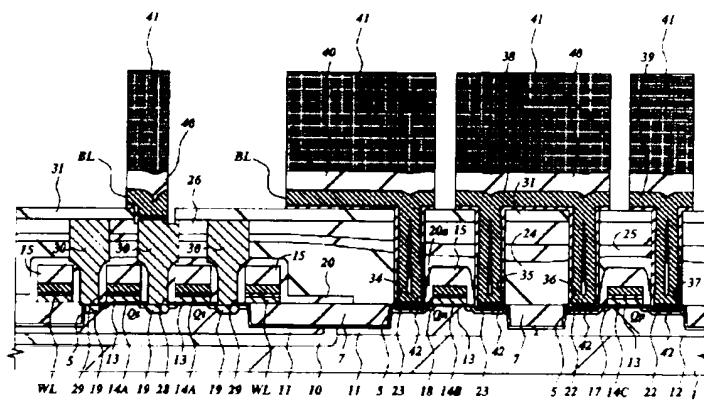
【図19】

図 19



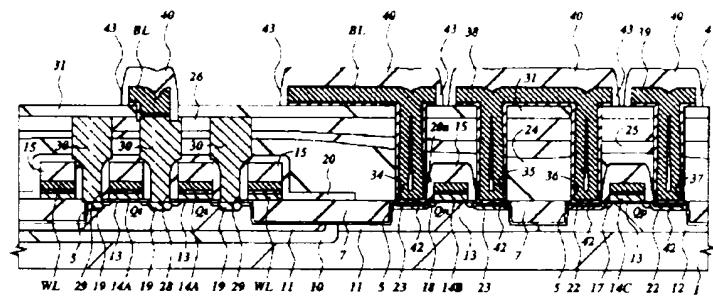
【図20】

図 20



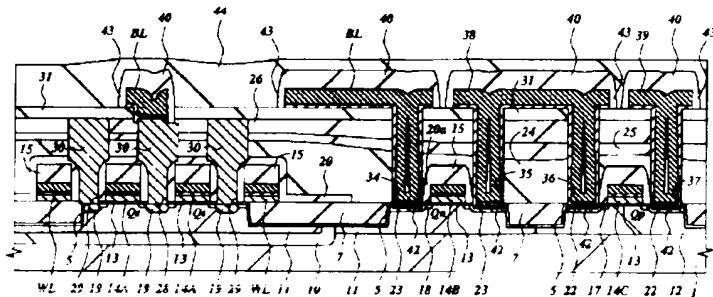
【図21】

図 21



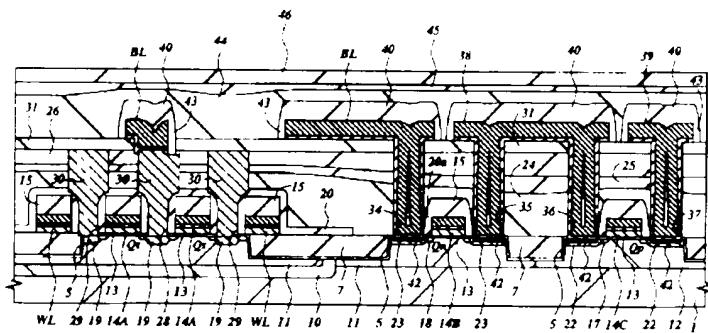
【図22】

図 22



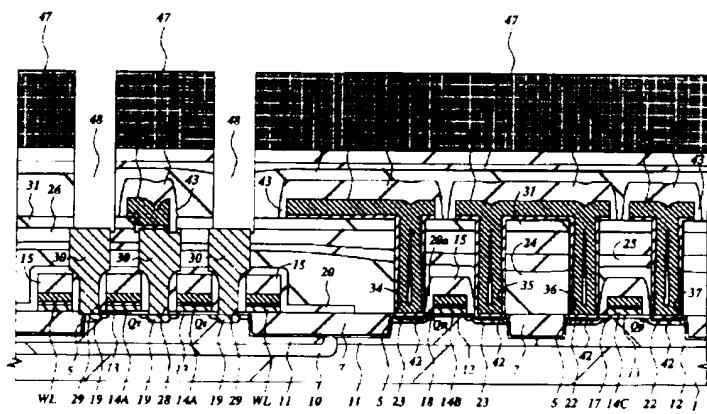
【図23】

図 23



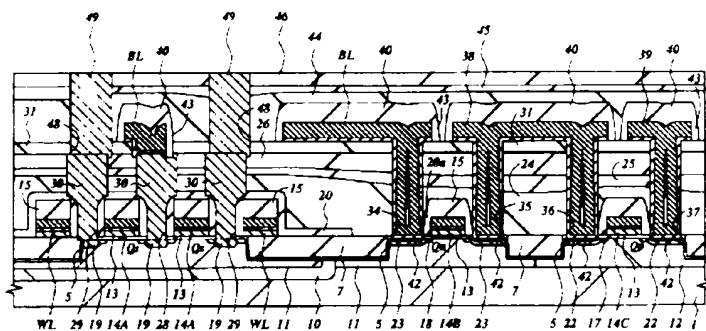
【図24】

図 24



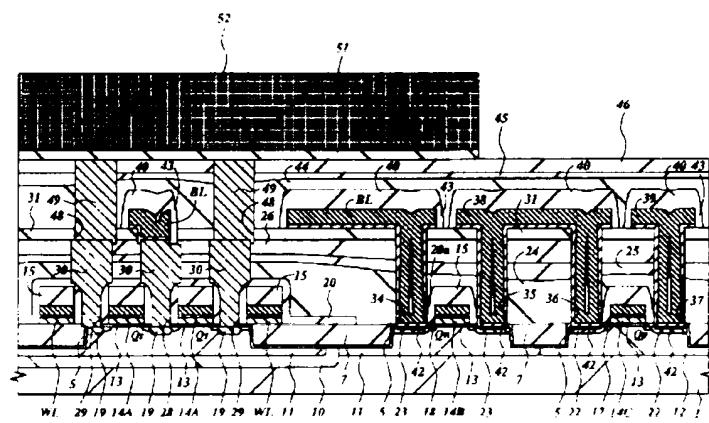
〔图25〕

25



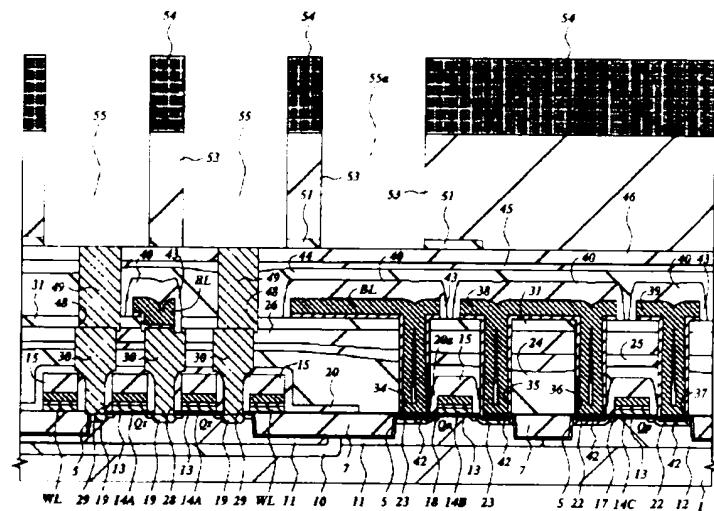
【圖 2-6】

图 26



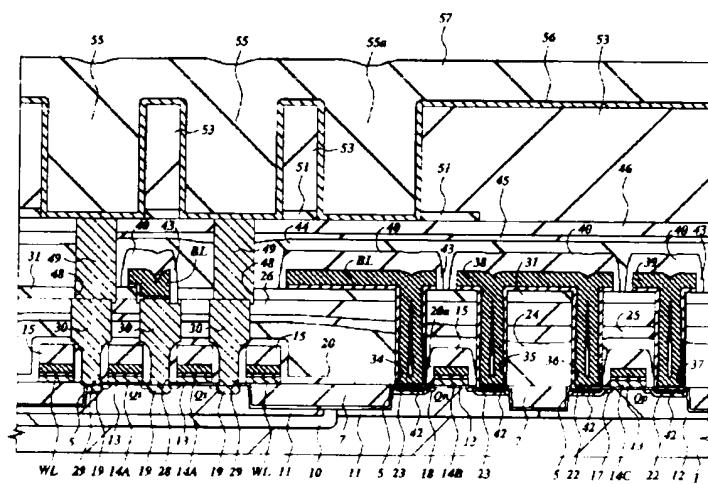
〔图27〕

图 27



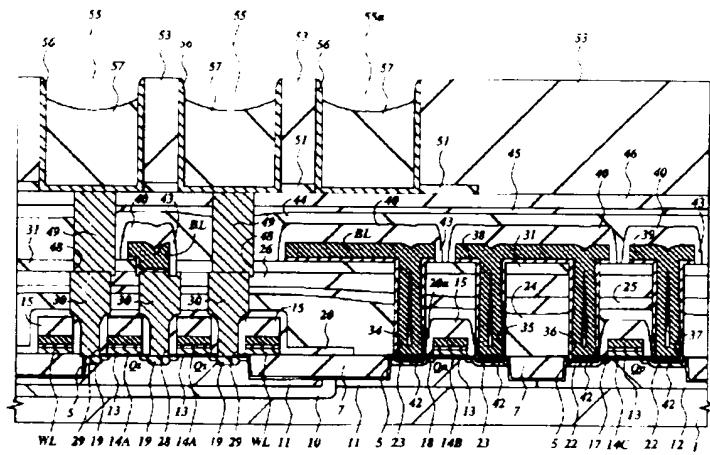
【圖28】

图 28



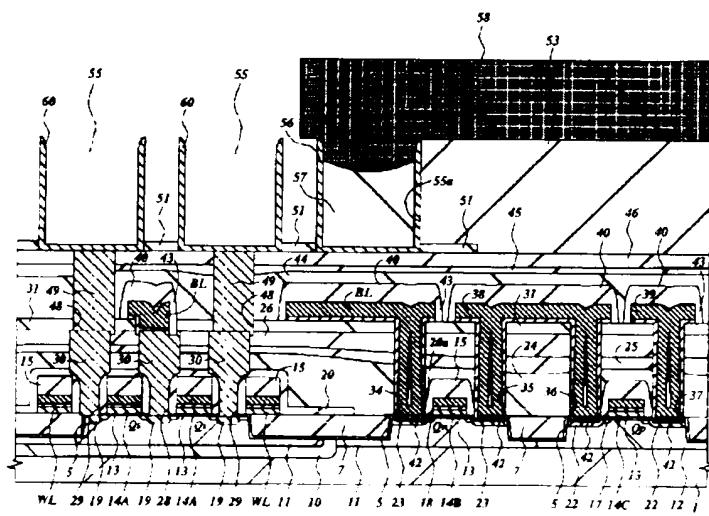
[229]

29



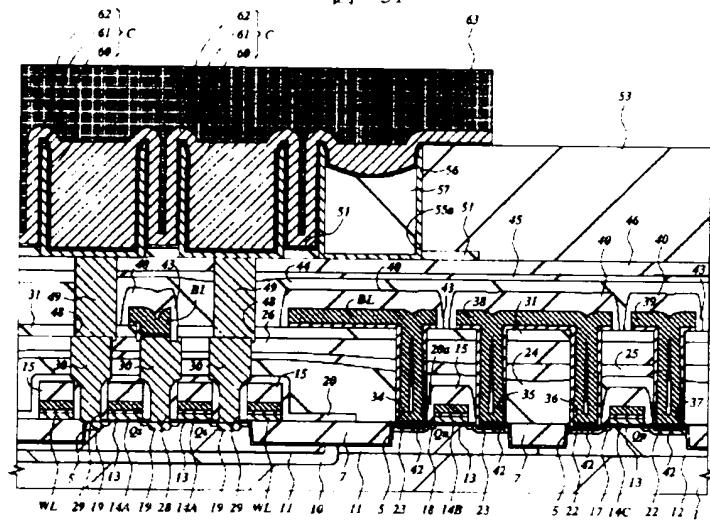
【図30】

图 30



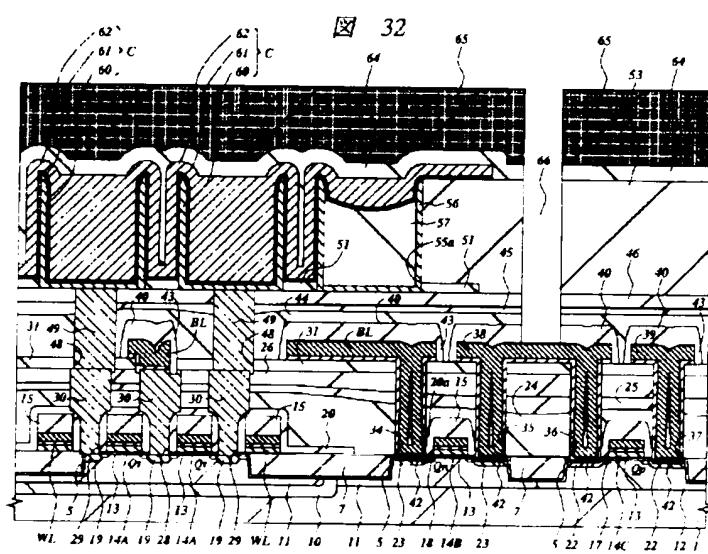
〔五〕

网 31



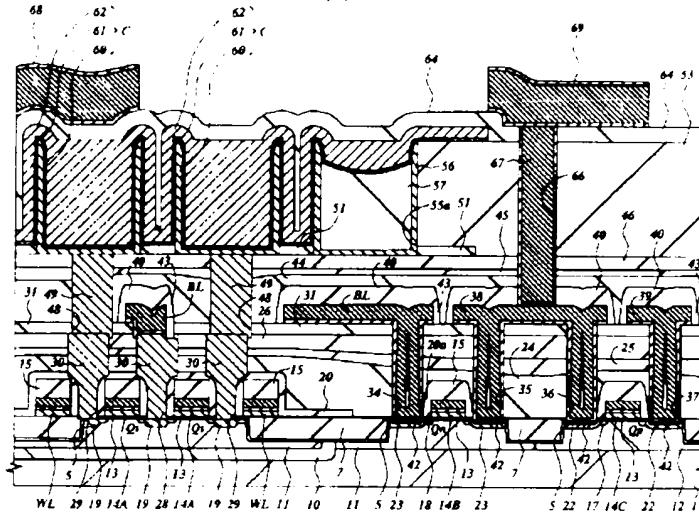
【図32】

图 32



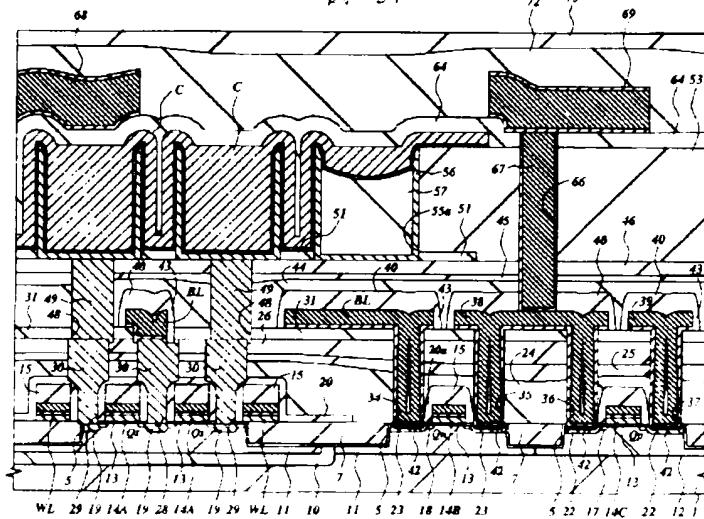
【図33】

図 33



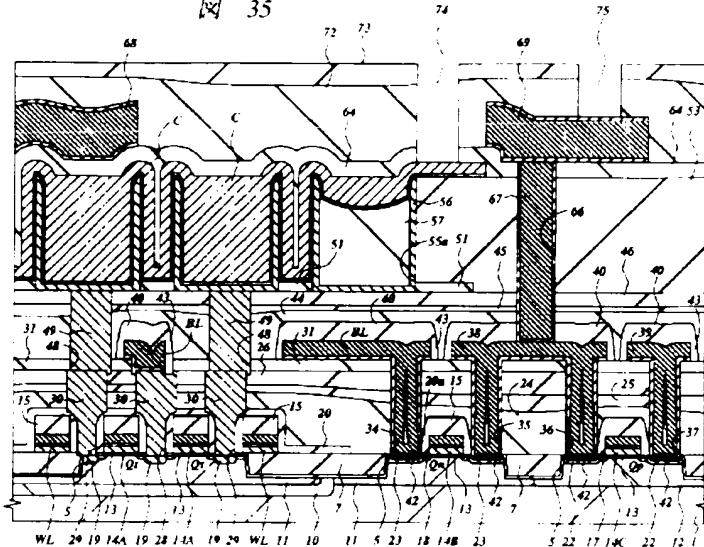
【図34】

図 34



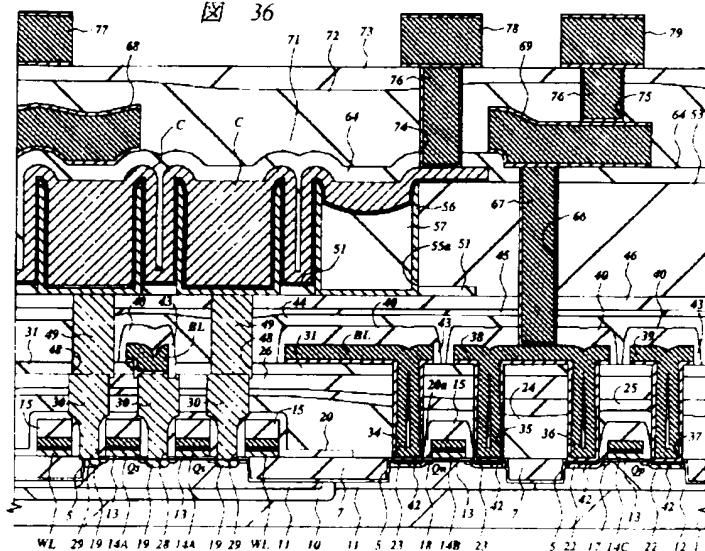
[235]

M 35



〔四三〇〕

图 36



## フロントページの続き

(51) Int. Cl. 5  
H01L 21/8242

識別記号

F I  
H O I L 27/10

681 F